

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

009435971 **Image available**

WPI Acc No: 1993-129487/199316

XRAM Acc No: C93-057586

XRPX Acc No: N93-098660

Multilayer wiring mfr. avoiding defect - by depositing 1st wiring pattern
on substrate and 2nd of smaller resistance, covering mesa pattern with
insulation film, and depositing wiring NoAbstract

Patent Assignee: SANYO ELECTRIC CO (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5066421	A	19930319	JP 91229106	A	19910909	199316 B

Priority Applications (No Type Date): JP 91229106 A 19910909

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 5066421	A	6	G02F-001/136	

Title Terms: MULTILAYER; WIRE; MANUFACTURE; AVOID; DEFECT; DEPOSIT; WIRE;
PATTERN; SUBSTRATE; SMALLER; RESISTANCE; COVER; MESA; PATTERN;
INSULATE; FILM; DEPOSIT; WIRE; NOABSTRACT

Derwent Class: L03; P81; U11; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): H01L-021/3205; H01L-027/12

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04074721 **Image available**

FORMATION OF MULTILAYERED WIRING

PUB. NO.: 05-066421 [JP 5066421 A]

PUBLISHED: March 19, 1993 (19930319)

INVENTOR(s): NAKATANI NORIO

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-229106 [JP 91229106]

FILED: September 09, 1991 (19910909)

INTL CLASS: [5] G02F-001/136; H01L-021/3205; H01L-027/12; H01L-029/40; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1576, Vol. 17, No. 387, Pg. 141, July 20, 1993 (19930720)

ABSTRACT

PURPOSE: To use of low-resistance Cu as a wiring material and to form wiring patterns having multilayered structures free from overhangs by making combination use of an etching method and a lift-off method.

CONSTITUTION: The 1st wiring pattern 2 is formed of a conductive material consisting of Cr on a glass substrate 1. A negative resist is then applied thereon and is exposed from the rear surface of glass to form the resist 3 of the shape reverse from the shape of the wiring pattern 2. Namely, the line width WP of the wiring pattern and the opening size WR of the resist 3 are made into a relation $WP > WR$ by a light diffraction effect. The opening size WR can be adjusted by controlling the exposure from the rear surface of the substrate. Cu 4 and Cr 5 are then deposited as the conductive material and the resist 3 is peeled, by which the 2nd wiring pattern is lifted off and formed. The line width of the wiring pattern 6 is the opening size WR of the resist 3. The 2nd wiring pattern 6 consisting of the Cu is formed on the 1st wiring pattern 2 in this way, by which fine working is allowed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-66421

(43) 公開日 平成5年(1993)3月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 21/3205				
27/12	A	8728-4M		
		7353-4M	H 0 1 L 21/88	G
		7353-4M		R

審査請求 未請求 請求項の数 3 (全 6 頁) 最終頁に続く

(21) 出願番号 特願平3-229106

(22) 出願日 平成3年(1991)9月9日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 中谷 紀夫

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

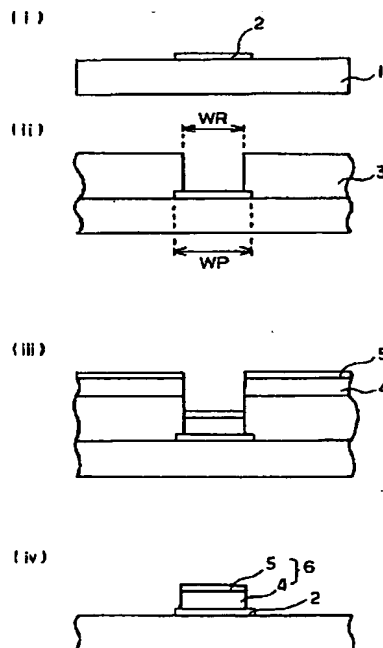
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 多層配線の形成方法

(57) 【要約】 (修正有)

【目的】 ガラス基板との密着性が良く、低抵抗のメサ型電極配線を多層構造により実現し、メサ型多層電極をゲート電極に用いることにより大画面のアクティブマトリクス型液晶表示装置の高精細化と無欠陥化を達成する。

【構成】 透明な絶縁基板1上に第一配線パターン2と第一配線パターン上に第一配線パターンより小さな低抵抗の第二配線パターン6を積層し、メサ状の配線パターン上に絶縁膜を被覆してから別の配線を絶縁膜上に形成する。



【特許請求の範囲】

【請求項1】 透光性の絶縁基板上に不透光性の第一導電薄膜を堆積し、所定の形状にパターンニングする第一工程、絶縁基板裏面からの露光で第一導電薄膜と反転形状のレジストパターンを形成する第二工程、第二導電薄膜を堆積し、該レジストをマスクにして第一導電薄膜と同形状の第二導電薄膜パターンをリフトオフ形成する第三工程からなることを特徴とした多層配線の形成方法。

【請求項2】 第二導電薄膜がCu単層膜、又はCuを少なくとも一層含む多層膜からなることを特徴とした請求項1の多層配線の形成方法。

【請求項3】 第二導電薄膜パターン寸法が大きくとともに第一導電薄膜パターン寸法以下であることを特徴とした請求項1の多層配線の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス液晶表示装置に装備されるアクティブ素子、特に薄膜トランジスタに好適な配線電極の形成方法に関するものである。

【0002】

【従来の技術】近年、マトリクス配置された多数の画素単位の表示電極毎にスイッチング素子として働く薄膜トランジスタ（以下TFTと称する）を結合したアクティブマトリクス液晶表示装置が商品化されているが、現在でも表示品質と製造歩留まり向上のための改良研究が盛んに行われている。

【0003】アクティブマトリクス液晶表示装置の最大の応用分野はワードプロセッサ、ラップトップパソコン等のOA分野であり、このためアクティブマトリクス液晶表示装置は大型化及び高精細化という性能アップが強く望まれている。

【0004】大型化及び高精細化を実現するためには、TFTアレーにおける走査信号を供給するゲート配線と表示信号を供給するドレイン配線の各配線抵抗を低減し、信号遅延を極力抑える必要がある。

【0005】

【発明が解決しようとする課題】この低抵抗配線材料として注目されているのがCuである。Cuは比抵抗が小さいだけでなく、高融点でEM（Electro Migration）耐性が高いという特徴を有する。

【0006】他低抵抗配線材料であるAlは300～400℃程度の熱処理でヒロックが発生するが、Cu膜はそのようなヒロックが発生せず、TFTアレーのゲート配線材料として優れている。

【0007】ところがCu膜はガラス（SiO₂）、SiNx等の絶縁膜との密着性が悪く、また、酸素雰囲気下でCu膜の酸化が内部まで進行し抵抗が増加するという問題があり、ガラス基板上にCu配線パターンを形成する場合は、Cu膜の下層には密着性向上のための他金

属膜を、Cu膜の上層には酸化防止用の他金属膜を形成する必要がある。

【0008】即ち、Cu膜をゲート配線材料に使用するためには、他金属膜を付加した多層構造にする必要がある。

【0009】このような多層膜を微細パターンに加工（エッチング）すると、図5のAに示すようにオーバハング状のエッジプロファイルになりやすい。

【0010】上のようなエッチング形状のゲート電極を用いて、TFTアレーを試作するとゲート絶縁膜を介しての層間ショート不良を発生しやすく、TFTアレーの製造歩留まり低下を招く。

【0011】ゲート電極形状としては多層構造薄膜における上層膜パターンが下層膜パターンよりも小さい階段形状（図5のB）またはテーバ形状（図5のC）が好ましい。

【0012】多層膜をこのような形状にエッチングすることは非常に困難である。

【0013】多層膜を全てエッチングし、そのエッチングレートが上層膜になるほど小さいエッチャントまたはエッチングガスを用いると階段形状（図5のB）またはテーバ形状（図5のC）のエッジプロファイルが得られるが、材料の異なる多層膜に対してそのようなエッチング条件を見いだすことが困難であり、多層膜をエッチング法で微細加工するとどうしても図5のAに示すエッジプロファイルになってしまう。

【0014】その他の多層膜の微細加工方法としてリフトオフ法があり、リフトオフ材料のレジスト形状をコントロールすればゲート電極に適したエッジプロファイルの多層配線パターンが得られるが、リフトオフ法では金属材料を成膜するときに成膜温度を高くすることができず、その様な条件で成膜した金属膜はガラス基板との密着性が悪いという問題があった。

【0015】このように、低抵抗のCuを配線材料に使用するためには他金属材料を付加した多層構造とする必要があるが、その場合従来のフォトリソ法だけではゲート電極に適したエッジプロファイルに加工することが難しいという問題があった。

【0016】

【課題を解決するための手段】本発明は、透光性の絶縁基板上に不透光性の第一導電薄膜を堆積し、所定の形状にパターンニングする第一工程、基板裏面からの露光で第一導電薄膜と反転形状のレジストパターンを形成する第二工程、第二導電薄膜を堆積し、該レジストをマスクにして第一導電薄膜と同形状の第二導電薄膜パターンをリフトオフ形成する第三工程から多層配線を形成するものである。

【0017】さらに、第二導電薄膜がCu単層膜、又はCuを少なくとも一層含む多層膜からなるものである。

【0018】または、第二導電薄膜パターン寸法が大き

3

くとも第一導電薄膜パターン寸法以下とするものである。

【0019】

【作用】ガラス基板上に第一導電材料を堆積し、フォトエッチ法で配線パターンを形成するので、第一導電材料の堆積温度を高くでき、ガラス基板との密着性に優れた薄膜が得られる。

【0020】さらに、第一導電材料の上に第二導電材料を堆積し、リフトオフ法で配線パターンを形成するので、下層膜がサイドエッチして発生する上層膜のオーバハングが発生せず、ゲート電極に適したエッジプロファイルの配線パターンが得られる。

【0021】即ち、リフトオフレジストは基板裏面からの露光により第一導電材料に対して自己整合的に形成するので、このレジストを用いて形成した第二導電材料配線パターンは第一導電材料に非常に高精度に位置合わせされる。

【0022】厳密にはリフトオフレジストは、光の回折作用で第一導電材料配線パターン寸法よりも小さな開口寸法で形成されるので、第二導電材料の配線パターン寸法は第一導電材料の配線パターン寸法よりも小さなパターンが形成され、いわゆる階段状のエッジプロファイルが得られる。

【0023】このように、本発明によればTFTアレーのゲート配線に好適な多層構造の配線パターンが容易に得られる。

【0024】

【実施例】

第一実施例

図1に本発明によって得られる多層配線パターンの形成方法を説明する。

【0025】第一工程【第1図(i)】

ガラス基板1上にCrからなる不透光性の第一導電材料で、第一配線パターン2を形成する。第一導電材料はMo、W、Ta、Al、Co、Ni等の材料でもよく、要はガラス基板1と密着性に優れた不透光性の導電材料であればよい。

【0026】第二工程【第1図(ii)】

ネガレジストを塗布し、ガラス裏面からの露光で第一配線パターン2と反転形状のレジスト3を形成する。

【0027】厳密には光回折作用により、第一配線パターン2の端部とレジスト3はオーバーラップする。

【0028】従って、第一配線パターン2の線幅WPとレジスト3の開口寸法WRは、 $WP > WR$ という関係になる。

【0029】また、基板裏面から照射する露光量を大きくすると、レジスト3の開口寸法WRは小さくなり、この露光量を調整することでレジスト3の開口寸法WRはある範囲で調整可能となる。

【0030】ここではネガレジストを用いたが、ポジレ

4

ジストを用いたイメージリバーサル法で第一配線パターン2と反転形状のレジスト3を形成してもよい。

【0031】第三工程【第1図(iii)】

第二導電材料として、Cu4とCr5を堆積し、レジスト3を剥離をすることで、第二配線パターン6をリフトオフ形成する。

【0032】第二配線パターン6の線幅はレジスト3の開口寸法WRとなる。

【0033】CrはCuの内部酸化を防止する目的で堆積しており、Pt、Au、ITO、SnO₂等の耐酸化材料であってもよく、Al、Mo、Ti等の酸化が内部まで進行しない導電材料であってもよい。

【0034】従来、Cu膜を一成分とする多層配線パターンを形成する場合、Cu膜が化学的に侵されやすいためエッチング法だけではパターニングが困難であったが、Cu膜の微細加工法にリフトオフ法を採用することにより微細加工が可能となった。

【0035】この様に第一配線パターン2上に容易に低抵抗材料(Cu)で第二配線パターン6が形成され、配線抵抗の低抵抗化が可能となる。

【0036】また、形成された多層配線のエッジプロファイルは第一配線パターン2よりも第二配線パターン6が内側に形成された階段状であり、第二配線パターンが外側に突き出したオーバハング状にならない。

【0037】このことは、多層配線を下部電極として使用する薄膜トランジスタ等の用途に適している。

【0038】また、第二導電材料は第一導電材料の抵抗を下げる目的で形成しており、Cu以外にAl、Ag、Au等の低抵抗材料でもよく、Cr、Mo、W等の材料であってもよい。当然であるが、単層膜であってもよく、本実施例のように複数膜であってもよい。

【0039】第二実施例

図2に本発明によって得られる他の多層配線パターンの形成方法を説明する。

【0040】第一工程【第1図(i)】

ガラス基板1上にCrからなる不透光性導電材料7とITOからなる透光性導電材料8で第一配線パターン2を形成する。

【0041】第二工程【第1図(ii)】

ネガレジストを塗布し、ガラス裏面からの露光で不透光性導電材料7で形成された第一配線パターン2と反転形状のレジスト3を形成する。

【0042】厳密には光回折作用により、第一配線パターン2の端部とレジスト3はオーバーラップする。

【0043】従って、不透光性導電材料7で形成された第一配線パターン2の線幅WPとレジスト3の開口寸法WRは、 $WP > WR$ という関係になる。

【0044】この時、透光性導電材料8上と非遮光部分のガラス基板には、レジスト3が形成される。

【0045】ここではネガレジストを用いたが、ポジレ

5

ジストを用いたイメージリバーサル法で第一配線パターン2と反転形状のレジスト3を形成してもよい。

【0046】第三工程【第1図(111)】

第二導電材料として、Cu4とCr5を堆積し、レジスト3を剥離をすることで、第二配線パターン6をリフトオフ形成する。第二配線パターン6の線幅はレジスト3の開口寸法WRとなる。

【0047】この様に第一配線パターン2上に容易に低抵抗材料(Cu)で第二配線パターン6が形成され、配線抵抗の低抵抗化が可能となる。

【0048】また、形成された多層配線のエッジプロファイルは第一配線パターンよりも第二配線パターン6が内側に形成された階段状であり、第二配線パターン6が外側に突き出したオーバハング状にならない。

【0049】このことは、多層配線を下部電極として使用する薄膜トランジスタ等の用途に適している。

【0050】図3は第一実施例で形成した多層配線電極をゲート電極9に用いて形成した、液晶表示装置用の薄膜トランジスタである。

【0051】薄膜トランジスタはゲート電極9、ゲート絶縁膜10、半導体膜11、ドレイン電極12、ソース電極13及び表示電極14で構成されている。

【0052】図4は第二実施例で形成した多層配線電極をゲート電極10に用いて形成した、液晶表示装置用の薄膜トランジスタである。

【0053】薄膜トランジスタはゲート電極9、ゲート絶縁膜10、半導体膜11、ドレイン電極12、ソース電極13及び表示電極14で構成されている。

【0054】ゲート電極9を構成する透明導電材料で構成されたパターンは隣のラインの表示電極とオーバラップし、補助容量を形成している。

【0055】この素子構造では、補助容量を形成しても開口率が低下しないという長所がある。

6

【0056】尚、本発明の実施例においては逆スタガード型TFTを例に挙げたがスタガード型TFTまたはブレーナー型TFTでも容易に実施できる。

【0057】

【発明の効果】本発明により、エッチング法とリフトオフ法を併用することにより、エッチング法だけでは微細加工が困難な材料(Cu)を用いて、オーバハングのない多層構造の低抵抗の配線パターンを形成できる。

【図面の簡単な説明】

10 【図1】本発明の第一実施例の多層配線の形成方法の工程図である。

【図2】本発明の第二実施例の多層配線の形成方法の工程図である。

【図3】本発明の第一実施例の多層配線を用いた薄膜トランジスタの断面図である。

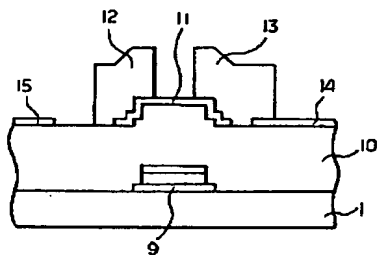
【図4】本発明の第二実施例の多層配線を用いた薄膜トランジスタの断面図である。

【図5】従来の多層配線の断面図である。

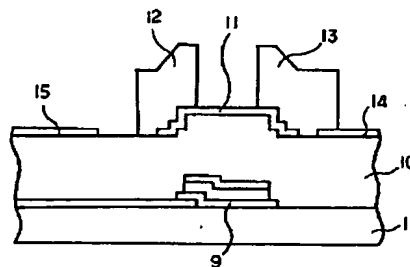
【符号の説明】

- 1 ガラス基板
- 2 第一配線パターン
- 3 レジスト
- 4 Cu
- 5 Cr
- 6 第二配線パターン
- 7 不透光性導電材料
- 8 透光性導電材料
- 9 ゲート電極
- 10 ゲート絶縁膜
- 11 半導体膜
- 12 ドレイン電極
- 13 ソース電極
- 14 表示電極

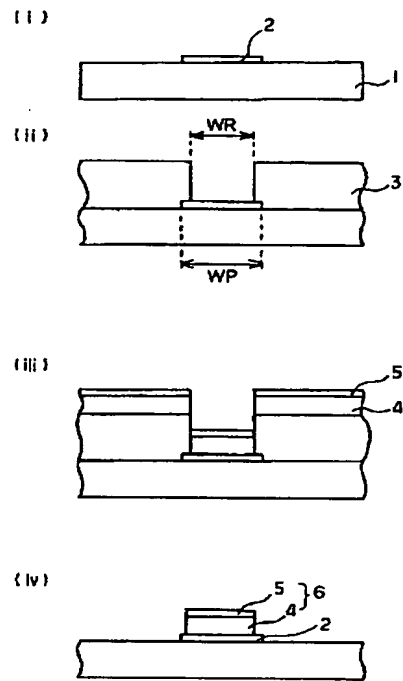
【図3】



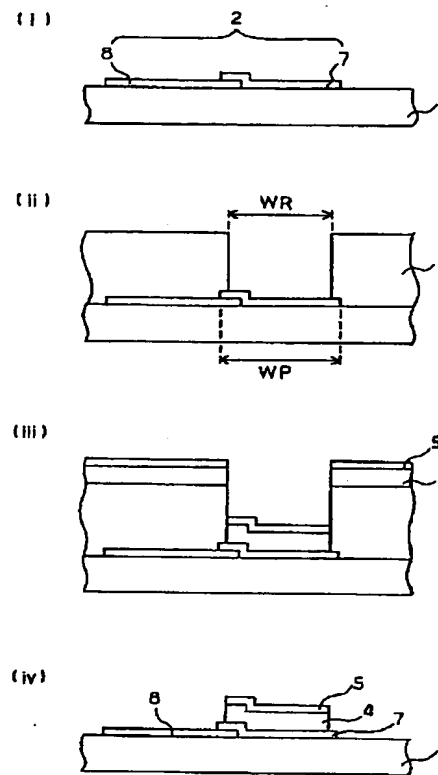
【図4】



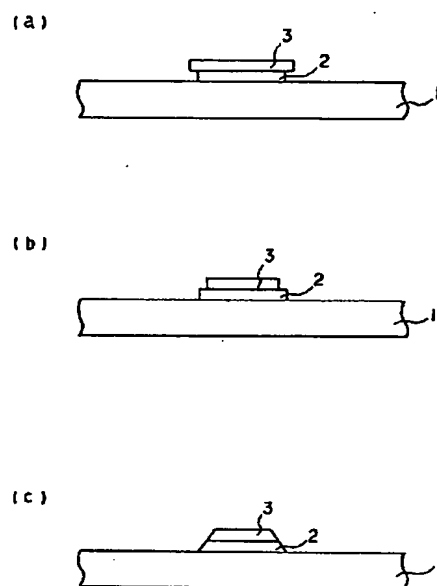
【図1】



【図2】



【図5】



フロントページの続き

(51) Int. Cl.⁵H01L 29/40
29/784

識別記号

庁内整理番号

FI

技術表示箇所

A 7738-4M

9056-4M

H01L 29/78

311 A